

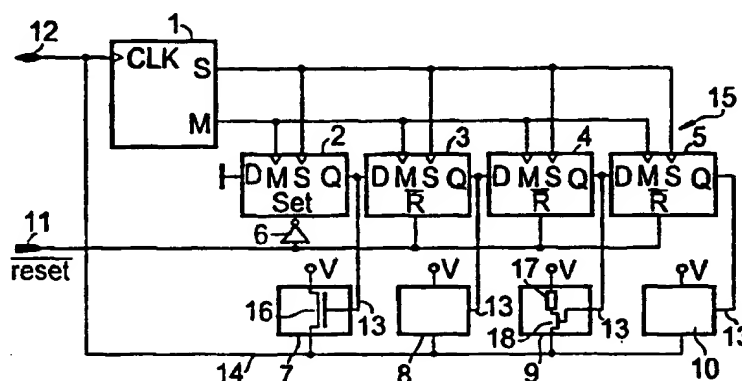
PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation ⁶ : H01L 21/66, G01R 31/3185	A1	(11) Internationale Veröffentlichungsnummer: WO 99/17353 (43) Internationales Veröffentlichungsdatum: 8. April 1999 (08.04.99)
<div style="display: flex; justify-content: space-between;"> <div style="width: 48%;"> <p>(21) Internationales Aktenzeichen: PCT/DE98/02566</p> <p>(22) Internationales Anmeldedatum: 1. September 1998 (01.09.98)</p> <p>(30) Prioritätsdaten: 197 42 946.7 29. September 1997 (29.09.97) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BLON, Thomas [DE/DE]; Mühlenweg 39, D-86860 Jengen (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p> </div> <div style="width: 48%; vertical-align: top;"> <p>(81) Bestimmungsstaaten: CN, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht.</i></p> </div> </div>		

(54) Title: MULTIPLEXED TEST CIRCUIT ON A SEMICONDUCTOR CHIP

(54) Bezeichnung: GEMULTIPLEXTE TESTSCHALTUNG AUF EINEM HALBLEITER-CHIP



(57) Abstract

The invention relates to a test circuit on a semiconductor chip, comprising test components on metering runs, which are connected by conductor paths with the contact areas. In order to determine the features of the components, test signals or measurement signals are sent to the contact areas, then removed therefrom. The outputs of the selection logical circuit activate metering runs with at least one test component by run, thereby enabling the measurement signals of various test components to be recorded on one contact area. One test circuit according to the invention enables the number of contact areas required to be substantially reduced.

(57) Zusammenfassung

Es wird eine Testschaltung auf einen Halbleiterchip mit Testbauelementen in Meßstrecken, die über Leiterbahnen mit Kontaktflächen verbunden sind, offenbart. Zur Bestimmung von Kenngrößen der Testbauelemente werden Testsignale bzw. Meßsignale den Kontaktflächen zu- und abgeführt. Eine signalgesteuerte Auswahllogik-Schaltung ist eingangsseitig mit mindestens einer Kontaktfläche verbunden. Die Ausgänge der Auswahllogik-Schaltung schalten Meßstrecken mit jeweils mindestens einem Testbauelement an, so daß Meßsignale verschiedener Testbauelemente an einer einzigen Kontaktfläche aufgenommen werden können. Mit einer erfindungsgemäßen Testschaltung läßt sich die Anzahl der erforderlichen Kontaktflächen deutlich reduzieren.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

GEMULTIPLEXTE TESTSCHALTUNG AUF EINEM HALBLEITER-CHIP

- 5 Die Erfindung betrifft eine Testschaltung auf einem Halbleiterchip mit Testbauelementen in Meßstrecken, die über Leiterbahnen mit Kontaktflächen zur Zuführung und Abführung von Testsignalen bzw. Meßsignalen verbunden sind, zur Bestimmung von Kenngrößen der Testbauelemente.
- 10 Die Messung von Technologieparametern oder Kenngrößen auf Halbleiter-Chips, wie z. B. die Stromergiebigkeit von NMOS-/PMOS-Transistoren, Polyhochohm- oder Polyniederohm-Widerständen auf Scheibenebene ist von großer Bedeutung für die
- 15 Fehleranalyse bei Analog- und Mixed-Signal-Schaltungen. Herkömmlicherweise erfolgt diese Messung über eine Vielzahl von Kontaktflächen, sog. Pads, die in der Regel zusammen mit anderen Kontaktflächen außerhalb des Bereichs der Schaltung in einem Padrahmen angeordnet sind. Mittels Meßspitzen und ähn-
- 20 lichem wird von externen Meßeinrichtungen auf die Kontaktflächen zugegriffen, die wiederum über Leiterbahnen mit den Meßstrecken mit den zu testenden Bauelementen verbunden werden.
- Mit fortschreitender Verkleinerung der auf Chips befindlichen
- 25 Schaltungen wird die Größe der Chips in zunehmenden Maße von den Kontaktflächen bestimmt. Droht die Chipfläche wegen der Kontaktflächen zur Bestimmung der Technologieparameter größer zu werden, als für die eigentliche Funktion des Chips unbedingt notwendig ist, so konnte diesem Flächenproblem nur
- 30 durch Weglassen von Kontaktflächen begegnet werden. Dieser Verzicht sorgt aber erfahrungsgemäß bei einer späteren Fehleranalyse für stark erhöhten Arbeitsaufwand, da die zur Analyse nötigen Technologieparameter nicht in der nötigen Qualität und Quantität zur Verfügung standen.
- 35 Der Erfindung liegt die **A u f g a b e** zugrunde, eine Testschaltung der eingangs genannten Art anzugeben, bei der

die Anzahl der Meßstrecken vergrößert und dennoch wenig Chipfläche verbraucht wird.

Die erfindungsgemäße Lösung dieser Aufgabe besteht darin, daß
5 eine signalgesteuerte Auswahllogik-Schaltung vorhanden ist, welche mindestens einen Steuersignal-Eingang aufweist, der mit einer Kontaktfläche verbunden ist, daß die Ausgänge der Auswahllogik-Schaltung mit Steuereingängen von Meßstrecken verbunden sind, die jeweils ein Testbauelement aufweisen, und
10 daß alle Meßstrecken ausgangsseitig mit einer einzigen Kontaktfläche verbunden sind.

Ein Kerngedanke der Erfindung besteht darin, aus der Vielzahl der Meßstrecken jeweils eine Meßstrecke mittels einer Art
15 Adressierung einzeln auszuwählen. Von der Anzahl der Meßstrecken und der Art und Weise der die Adressierung beinhalten- den Steuersignale sowie des Übertragungsverfahrens hängt die erforderliche Anzahl der Kontaktflächen und Steuerleitungen für die Auswahllogik ab. Bei einer sequentiellen Übertra-
20 gung können alle Steuersignale für eine praktisch unbegrenzte Anzahl von Meßstrecken auf einer einzigen Leitung übertragen werden. Bei paralleler Übertragung hängt die minimale Anzahl der Kontaktflächen von der gewählten Adreßcodierung und der Anzahl der Meßstrecken ab. Beispielsweise können mittels Bi-
25 närcode über n- Leitungen Steuersignale für 2^n Meßstrecken übertragen werden.

Da durch die gezielte Auswahl einer Meßstrecke jeder Meßwert zeitlich eindeutig zuordenbar ist, können alle Meßwerte auf
30 einer einzigen Leitung an eine einzige Kontaktfläche geführt und dort abgegriffen werden.

Da die herkömmlichen Testschaltungen für jedes Bauelement mindestens eine Kontaktfläche vorzusehen ist, ergibt sich
35 hierdurch ein deutlich geringer Platzbedarf. Darüber hinaus können auch Bereiche, die von den Kontaktflächen weiter entfernt liegen, mit geringerem Aufwand zur Anordnung von Test-

bauelementen genutzt werden, da sich mit der Anzahl der Kontaktflächen in gleichem Maße die Anzahl der mit ihnen verbundenen Leiterbahnen reduziert.

- 5 Besonders günstig ist es, Meßstrecken so auszulegen, daß sie alle die gleiche Meßgröße, z.B. Strom oder Spannung, ausgangsseitig an die Kontaktflächen abgeben. So können z.B. Stromergiebigkeiten verschiedener Transistorentypen und spezifische Widerstände verschiedener Widerstandstypen jeweils
10 mittelbar über Strommessungen bestimmt werden. Somit kann auf eine einzige Strom- oder Spannungsquelle zurückgegriffen werden und die Zuführung der Meßgröße kann mit wenig Leitungsaufwand erfolgen.
- 15 Vorteilhaft ist es, daß alle Ausgänge aller Meßstrecken mit der Kontaktfläche, die mit einem Steuersignal-Eingang der Auswahllogik-Schaltung verbunden ist, verbunden sind. Durch diese doppelte Nutzung einer Kontaktfläche wird die Anzahl der insgesamt erforderlichen Kontaktflächen weiter reduziert.
- 20 Eine derartige Nutzung einer Kontaktfläche und der mit ihr verbundenen Leiterbahn zur bidirektionalen Kommunikation erfordert eine genaue Festlegung, wann die Kontaktfläche mit Signalen beaufschlagt werden darf und wann die Meßstrecken Ausgangssignale abgeben dürfen. Ansonsten kann es zu fehlerhaften Messungen und Fehlinterpretationen oder Nichtbeachtungen von Steuersignalen durch die Auswahllogik-Schaltung kommen.
- 25

- Weiterhin ist es vorteilhaft, daß die Auswahllogik-Schaltung
30 einen Taktgenerator und eine Ansteuereinrichtung aufweist, daß die Ansteuereinrichtung eingangsseitig mit einem Ausgang des Taktgenerators verbunden ist und daß die Ansteuereinrichtung ausgangsseitig mit den Signaleingängen der Meßstrecken verbunden ist. Mit dem Taktgenerator steht eine Zeitbasis zur
35 Verfügung, über welche die Aktivierungsdauer der Meßstrecken definiert werden kann. Somit ist es z.B. möglich, die Testschaltung derart auszulegen, daß nach der Beaufschlagung der

- Kontaktfläche, welche mit dem Steuersignal-Eingang der Auswahllogik-Schaltung verbunden ist, mit einem definiertem Signal eine vorbestimmte Aktivierungssequenz der Meßstrecken ausgelöst wird. Beispielsweise könnte durch eine einfache Pegeländerung am Steuersignal-Eingang ein Ablauf ausgelöst werden, bei dem einzelne Meßstrecken jeweils nach einer bestimmten Anzahl von Takten aktiviert werden, um nach einer ebenfalls bestimmten Anzahl von Takten wieder deaktiviert zu werden. Somit kann gewährleistet werden, daß nach dem die Meßsequenz auslösenden Steuersignal jeweils immer nur eine Meßstrecke aktiviert ist und für die Meßstrecken einzeln vorgebbare Aktivierungszeiten und Pausen zwischen den einzelnen Aktivierungen eingehalten werden.
- 15 Eine bevorzugte Ausführungsform der Erfindung zeichnet sich dadurch aus, daß die Auswahllogik-Schaltung ein Schieberegister mit mehreren D-Flip-Flops aufweist, deren Takteingänge parallel geschaltet sind, daß der Eingang eines ersten D-Flip-Flops mit dem Pegel log. "0" geschaltet ist, daß die
- 20 Eingänge der anderen D-Flip-Flops jeweils mit dem Ausgang eines ihnen vorgeschalteten D-Flip-Flops verbunden sind, und daß die Ausgänge der D-Flip-Flops mit den Signaleingängen der Meßstrecken verbunden sind. Eine derart ausgebildete Testschaltung ist mit äußerst geringen Schaltungsaufwand in der
- 25 Lage, einen definierten Aktivierungs- und Deaktivierungsablauf der Meßstrecken auszuführen. Auch in diesem Fall wäre bereits eine einfache Pegeländerung an einem Steuereingang der Testschaltung notwendig, um die vorbestimmte Aktivierungs- und Deaktivierungssequenz auszulösen. Das Pegelsignal
- 30 kann z.B. dem SET-Eingang des ersten D-Flip-Flops und den RESET-Eingängen der anderen D-Flip-Flops zugeführt werden. Nachdem die Takteingänge aller D-Flip-Flops parallel geschaltet sind, wird nun also im Takt, der an den Takteingängen der D-Flip-Flops angelegt ist, den Signaleingängen der Meß-
- 35 strecken einzeln nacheinander ein Aktivierungssignal, dessen Dauer durch Frequenz und Impuls-/Pausenverhältnis des Taktes definiert ist, zugeführt. Weist die Auswahllogik-Schaltung

bereits einen Taktgenerator auf, welcher permanent in Betrieb ist, so wäre eine einzige Kontaktfläche für die Testschaltung ausreichend. Über sie könnte das Steuersignal zur Auslösung der Aktivierungs-/Deaktivierungssequenz, z.B. ein Pegel-LOW-Signal, zugeführt werden, so daß im Anschluß eine aufeinander folgende Messung der Testbauelemente in den Meßstrecken möglich ist.

Eine bevorzugte Ausführungsform der Erfindung zeichnet sich dadurch aus, daß die Auswahllogik-Schaltung einen Decoder zur Decodierung von Steuersignalen, welche die Adressen von Meßstrecken beschreiben, aufweist. Meßstrecken können somit gezielt aktiviert werden. Es müssen also keine vorgegebenen Aktivierungs- und Deaktivierungssequenzen der Meßstrecken durchlaufen werden, falls nur eine Meßstrecke aktiviert werden soll. Die Kodierung der Steuersignale kann hierbei auf die verschiedensten Arten erfolgen. Z.B. ist es möglich, Steuersignal-Telegramme über Pegeländerungssequenzen auf nur einer Steuerleitung zu definieren. Eine weitere Möglichkeit besteht darin, ein Binärregister der Meßstreckenadressen über Steuerleitungen anzusprechen, deren Anzahl mit der Anzahl der Meßstrecken korrespondiert. Für 2^n -Meßstrecken sind somit nur n-Steuerleitungen erforderlich.

Eine weitere bevorzugte Ausführungsform der Erfindung ist dadurch gekennzeichnet, daß die Auswahllogik-Schaltung eingangsseitig an einen Datenbus zur Übertragung der Adressen von Meßstrecken angeschlossen ist, und daß mindestens ein Leiter des Datenbuses mit einer Kontaktfläche verbunden ist. Auch in dieser Variante ist ein gezieltes Ansteuern einzelner Meßstrecken möglich. Da es für die verschiedensten Zwecke eine Vielzahl genormter Datenbuse gibt, kann ein geeigneter und bewährter Datenbus hieraus gewählt werden.

Eine andere zu bevorzugende Ausführungsform der Erfindung zeichnet sich dadurch aus, daß zur Anschaltung der Meßstrecken jeweils ein Transistor vorhanden ist, dessen Steuer-

eingang jeweils mit einem Ausgang der Auswahllogik-Schaltung verbunden ist. Transistoren können bei geringem schaltungs-technischen Aufwand Relaisfunktion wahrnehmen und Meßstrecken anschalten, wenn ihren Steuereingang ein Signal der Auswahl-
5 logik-Schaltung zugeführt wird. Besonders einfach gestaltet sich der Aufbau von Meßstrecken, wenn z. B. Stromergiebigkeiten von Transistoren bestimmt werden sollen. Hierbei kann es ausreichend sein, daß die Meßstrecke als einziges Bauelement den zu prüfenden Transistor aufweist. Der Steuereingang
10 des zu prüfenden Transistors ist mit einem Ausgang der Auswahllogik-Schaltung verbunden und der Transistorstrom kann in Anhängigkeit der am Transistor anliegenden Spannung über eine Kontaktfläche gemessen werden, die über eine Leiterbahn mit dem Transistor verbunden ist. Zur Bestimmung von Widerständen
15 können Source und Drain des Transistors mit dem Widerstand in Serie geschaltet werden. Bei einem entsprechenden Signal am Steuereingang des Transistors wird der Bereich zwischen Source und Drain stromdurchgängig und an der Kontaktfläche, die mit der Meßstrecke verbunden ist, kann ein Strom gemessen
20 werden, der vom zu bestimmenden Widerstand, der anliegenden Spannung und der Kennlinie des Transistors abhängig ist.

Ein Ausführungsbeispiel der Erfindung wird im folgenden anhand einer Zeichnung näher beschrieben. Es zeigt:

25

Fig. 1 die schematische Darstellung einer Testschaltung mit Taktgenerator, Schieberegister mit mehreren D-Flip-Flops und mehreren Meßstrecken,

30

Fig. 2 die schematisierte Darstellung des zeitlichen Verlaufs der RESET-Spannung, der Taktspannung und des gemessenen Stromes, wie sie mit der in Fig. 1 schematisch dargestellten Testschaltung möglich sind.

35

Die Figur veranschaulicht eine integrierte Testschaltung auf einer Halbleiterscheibe, auf welcher eine Vielzahl von nicht

dargestellten integrierten Schaltkreisen vorhanden sind. Die Testschaltung umfaßt in dem dargestellten Beispiel vier Meßstrecken 7, 8, 9, 10 die dazu dienen, durch eine Strommessung Technologieparameter von Halbleiterbauelementen in den Meßstrecken zu bestimmen. Sie sind daher eingangsseitig mit einer Stromversorgung V verbunden. Ferner weisen sie jeweils einen Steuereingang 13 auf, mit welchem die Meßstrecke aktiviert oder deaktiviert wird. Im einfachsten Fall handelt es sich um einen Transistor 16 als Schaltelement, der in die Meßstrecke geschaltet ist. Ausgangsseitig liegen alle Meßstrecken 7, 8, 9, 10 einer gemeinsamen Leitung 14, welcher zu einer ersten Kontaktfläche 12 zum Abgriff des in einer Meßstrecke 7, 8, 9, 10 geflossenen Stromes durch ein externes Meßgerät führt.

15

Die Kontaktfläche 12 ist ferner mit dem Eingang einer sequentiellen Auswahllogik-Schaltung verbunden, die hier aus einem Taktgenerator 1 sowie einem vom Taktgenerator 1 eingangsseitig beaufschlagten Schieberegister 15 bestegt, welches hier vier in Reihe geschalteten D-Flip-Flops 2, 3, 4, 5 aufweist. Der Setz-Eingang SET des niederwertigsten Flip-Flops 2 ist über einen Inverter 6 mit einer zweiten Kontaktfläche 11 verbunden, die ferner mit den Reset-Eingängen \bar{R} aller übrigen Flip-Flops 3 bis 5 verbunden sind. Die zweite Kontaktfläche 11 dient dazu, von extern ein Signal zum Setzen bzw. Rücksetzen der einzelnen Flip-Flops 2, 3, 4, 5 durchzuführen.

Die Meßstrecken 7, 8, 9, 10 befinden sich grundsätzlich im gesperrten Zustand, d. h. am Steuereingang 13 liegt kein Signal zum Durchschalten der Meßstrecke an. Das hat zur Folge, daß auch auf der Leitung 14 kein Ausgangssignal der einzelnen Meßstrecken 7 bis 10 anliegt.

Durch Zuführung von Steuersignalen über die Kontaktfläche 12 an die Auswahllogikschaltung wird von der Auswahllogikschaltung eine der Meßstrecken 7 bis 10 ausgewählt, indem der be-

treffenden Steuereingang 13 beaufschlagt wird und dadurch das zugehörige Schaltelement öffnet. Während der Dauer der Ansteuerung fließt in der Meßstrecke ein Strom von der Stromversorgung V zur Leitung 14, welcher das testende Bauelement in der Meßstrecke kennzeichnet. Bei dem angesteuerten Schaltelement der Meßstrecke kann es sich z. B. um einen Transistor handeln, welcher selbst das zu testende Bauelement darstellt, wie ein Beispiel der ersten Meßstrecke 7 veranschaulicht ist. Ein anderes Beispiel kann darin bestehen, daß ein zu testender Widerstand 17 in der gesteuerten Strecke eines als reines Schaltelement dienenden Transistors 18 liegt, wie es am Beispiel der dritten Meßstrecke dargestellt ist.

Die Ansteuerung der Auswahllogikschaltung über die Kontaktfläche 12 erfolgt in den vorliegenden Beispiel dadurch, daß dem Taktgenerator 1 am Eingang CLK ein Taktsignal U_t (siehe Figur 2) zugeführt wird. Das Ausgangssignal des Taktgenerators 1 bewirkt, daß ein logisch "1"-Signal durch alle Registerstellen des Schieberegisters 15 (d.h. durch die Flip-Flops 2 bis 5) durchgeschoben wird. Es liegt auf diese Weise nacheinander am Ausgang eines jeden Flip-Flops 2 bis 5 ein logisch 1-Signal an, welches entsprechend nacheinander an die Steuereingänge 13 der Meßstrecken 7 bis 10 durchgetaktet wird.

Das Taktsignal hat somit die Funktion einer Adressierung der einzelnen Registerstellen und der Meßstrecken.

Nachfolgend wird die Funktion der Testschaltung anhand der Figuren 1 und 2 im einzelnen beschrieben. Zur Initialisierung wird zur Zeit t_1 über die Kontaktfläche 11 ein Rücksetzsignal RESET eingegeben, welches gemäß Figur 2 seinen Pegel vom Wert 1 zum Wert h erhöht. Das hat zur Folge, daß das Signal am Ausgang Q des ersten Flip-Flops 2 den Wert logisch "1" einnimmt, während die Ausgänge Q aller anderen Flip-Flops 3, 4, 5 den Wert logisch "0" annehmen. Damit ist die zum ersten Flip-Flop 2 gehörende Meßstrecke 7 angesteuert, während die

übrigen Meßstrecken 8, 9, 10 gesperrt sind. Es fließt somit ein Strom in der Meßstrecke 7, welcher an der Kontaktfläche 12 abgreifbar ist, und welcher dieser Meßstrecke eindeutig zuordenbar ist.

5

Zum Zeitpunkt t_2 werden alle Flip-Flops 2, 3, 4, 5 vom Takt-generator 1 mit einem Taktsignal beaufschlagt, welches bis zum Zeitpunkt t_3 dauert. Durch die Verbindung eines Ausgangs Q und eines Eingangs D von zwei aufeinander folgenden Flip-Flops wird der Wert logisch "1" des jeweiligen Flip-Flops beim Taktsignal U_t in das nächste Flip-Flop geschoben, so daß gemäß Figur 2 nach Rücksetzen des ersten Flip-Flops 2 zur Zeit t_2 zwischen der Zeit t_3 und t_4 am Ausgang Q des zweiten Flip-Flops 3 der Wert logisch "1" anliegt. Damit wird die zweite Meßstrecke 8 leitend geschaltet, während alle anderen Meßstrecken gesperrt sind. Es kann dann an der Kontaktfläche 12 der durch die zweite Meßstrecke 8 fließende Strom I_m abgegriffen werden.

In gleicher Weise wird der Wert logisch "1" durch das dritte und vierte Flip-Flop 4, 5 geschoben, so daß entsprechend der Periode des Taktsignals U_t nacheinander die dritte und vierte Meßstrecke 9, 10 zwischen den Zeitpunkten t_6 bis t_7 bzw. t_8 bis t_9 leitend geschaltet wird.

25

Patentansprüche

1. Testschaltung auf einem Halbleiterchip mit Testbauelementen in Meßstrecken (7, 8, 9, 10), die über Leiterbahnen mit Kontaktflächen zur Zuführung und Abführung von Testsignalen bzw. Meßsignalen verbunden sind, zur Bestimmung von Kenngrößen der Testbauelemente,
dadurch gekennzeichnet,
daß eine signalgesteuerte Auswahllogik-Schaltung vorhanden ist, welche mindestens einen Steuersignal-Eingang aufweist, der mit einer Kontaktfläche verbunden ist,
daß die Ausgänge der Auswahllogik-Schaltung mit Signaleingängen von Meßstrecken (7, 8, 9, 10) verbunden sind, die jeweils mindestens ein Testbauelement aufweisen,
und daß alle Meßstrecken (7, 8, 9, 10) ausgangsseitig mit einer einzigen Kontaktfläche verbunden sind.
2. Testschaltung nach Anspruch 1,
dadurch gekennzeichnet,
daß alle Ausgänge aller Meßstrecken (7, 8, 9, 10) mit der Kontaktfläche, die mit einem Steuersignal-Eingang der Auswahllogik-Schaltung verbunden ist, verbunden sind.
3. Testschaltung nach einem der Ansprüche 1 oder 2,
dadurch gekennzeichnet,
daß die Auswahllogik-Schaltung einen Taktgenerator (1) und eine Ansteuerungseinrichtung aufweist,
daß die Ansteuerungseinrichtung eingangsseitig mit einem Ausgang des Taktgenerators verbunden ist, und
daß die Ansteuerungseinrichtung ausgangsseitig mit den Signaleingängen der Meßstrecken (7, 8, 9, 10) verbunden ist.
4. Testschaltung nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
daß die Auswahllogik-Schaltung ein Schieberegister mit mehreren D-Flip-Flops (2, 3, 4, 5) aufweist, deren Takteingänge parallel geschaltet sind,

daß der Eingang eines ersten D-Flip-Flops (2) mit dem Pegel LOW beschaltet ist,
daß die Eingänge der anderen D-Flip-Flops (3, 4, 5) jeweils mit dem Ausgang eines der ihnen vorgeschalteten D-Flip-Flops
5 (2, 3, 4) verbunden sind, und
daß die Ausgänge der D-Flip-Flops (2, 3, 4, 5) mit den Signaleingängen der Meßstrecken verbunden sind.

5. Testschaltung nach einem der Ansprüche 1 bis 3,
10 d a d u r c h g e k e n n z e i c h n e t,
daß die Auswahllogik-Schaltung einen Dekoder zur Dekodierung von Steuersignalen, welche die Adressen von Meßstrecken beschreiben, aufweist.
- 15 6. Testschaltung nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t,
daß die Auswahllogik-Schaltung eingangsseitig an einen Datenbus zur Übertragung der Adressen von Meßstrecken (7, 8, 9,
10) angeschlossen ist, und
20 daß mindestens ein Leiter des Datenbuses mit einer Kontaktfläche verbunden ist.
7. Testschaltung nach einem der Ansprüche 1 bis 6,
d a d u r c h g e k e n n z e i c h n e t,
25 daß ein Steuersignaleingang der Auswahllogik-Schaltung ein Reset-Eingang ist.
8. Testschaltung nach einem der Ansprüche 1 bis 7,
d a d u r c h g e k e n n z e i c h n e t,
30 daß zur Anschaltung der Meßstrecken (7, 8, 9, 10) jeweils ein Transistor vorhanden ist, dessen Steuereingang jeweils mit einem Ausgang der Auswahllogik-Schaltung verbunden ist.

INTERNATIONAL SEARCH REPORT

Internat i Application No

PCT/DE 98/02566

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 H01L21/66 G01R31/3185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	1987 International Test Conference, H.W. TROMBLEY et al.: "Multiplexed Test Structures for IC Process Evaluation", Paper 18.3, pp.451-457 XP002088483 see the whole document	1-6,8
Y	EP 0 633 530 A (PHILIPS ELECTRONICS NV) 11 January 1995 see column 8, line 53 - column 11, line 36; figures 6,7,9-14	1-6,8
A	DE 43 05 288 A (BOSCH GMBH ROBERT) 25 August 1994 see column 2, line 62 - column 3, line 23; figure 2	1-8
	--- -/--	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

18 December 1998

Date of mailing of the international search report

14/01/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Prohaska, G

INTERNATIONAL SEARCH REPORT

Internat: Application No

PCT/DE 98/02566

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 530 706 A (JOSEPHSON DON D ET AL) 25 June 1996 see column 2, line 34 - line 56; figures 1A,1B -----	1-8

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat. Application No

PCT/DE 98/02566

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0633530 A	11-01-1995	CN 1131985 A EP 0717851 A WO 9601434 A JP 9502808 T JP 7146341 A SG 52788 A	25-09-1996 26-06-1996 18-01-1996 18-03-1997 06-06-1995 28-09-1998
DE 4305288 A	25-08-1994	WO 9419745 A DE 59401044 D EP 0685087 A JP 8507142 T US 5554941 A	01-09-1994 19-12-1996 06-12-1995 30-07-1996 10-09-1996
US 5530706 A	25-06-1996	NONE	

INTERNATIONALER RECHERCHENBERICHT

Interna: les Aktenzeichen

PCT/DE 98/02566

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L21/66 G01R31/3185

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L G01R

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	1987 International Test Conference, H.W. TROMBLEY et al.: "Multiplexed Test Structures for IC Process Evaluation", Paper 18.3, pp.451-457 XP002088483 siehe das ganze Dokument	1-6,8
Y	EP 0 633 530 A (PHILIPS ELECTRONICS NV) 11. Januar 1995 siehe Spalte 8, Zeile 53 - Spalte 11, Zeile 36; Abbildungen 6,7,9-14	1-6,8
A	DE 43 05 288 A (BOSCH GMBH ROBERT) 25. August 1994 siehe Spalte 2, Zeile 62 - Spalte 3, Zeile 23; Abbildung 2	1-8
	-/--	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen:

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindersicher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindersicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. Dezember 1998

Absenddatum des internationalen Recherchenberichts

14/01/1999

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Prohaska, G

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 530 706 A (JOSEPHSON DON D ET AL) 25. Juni 1996 siehe Spalte 2, Zeile 34 - Zeile 56; Abbildungen 1A,1B -----	1-8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat. s. Aktenzeichen

PCT/DE 98/02566

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0633530 A	11-01-1995	CN 1131985 A	25-09-1996
		EP 0717851 A	26-06-1996
		WO 9601434 A	18-01-1996
		JP 9502808 T	18-03-1997
		JP 7146341 A	06-06-1995
		SG 52788 A	28-09-1998
DE 4305288 A	25-08-1994	WO 9419745 A	01-09-1994
		DE 59401044 D	19-12-1996
		EP 0685087 A	06-12-1995
		JP 8507142 T	30-07-1996
		US 5554941 A	10-09-1996
US 5530706 A	25-06-1996	KEINE	